

PAT-NO: JP362013450A

DOCUMENT-IDENTIFIER: JP 62013450 A

TITLE: IMPACT-RESISTANT POLYPHENYLENE ETHER RESIN  
COMPOSITION

PUBN-DATE: January 22, 1987

INVENTOR-INFORMATION:

NAME

SUGIO, AKITOSHI

OKABE, KATSURO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI GAS CHEM CO INC

N/A

APPL-NO: JP60153762

APPL-DATE: July 12, 1985

INT-CL (IPC): C08L071/04, C08L025/02

US-CL-CURRENT: 525/68

ABSTRACT:

PURPOSE: To provide the title compsn. having excellent impact resistance and mold release characteristics, containing a polyphenylene ether resin, an arom. vinyl hydrocarbon resin and a modified ethylene copolymer compsn.

CONSTITUTION: 5~95% (by weight; the same applies herein-below) polyphenylene ether obtd. by the oxidative polycondensation of at least one compd. of formula I (wherein R<sub>1</sub> is a 1~3C lower alkyl; R<sub>2</sub>, R<sub>3</sub> are each H, R<sub>1</sub>), 4.5~94.5% arom.

vinyl

hydrocarbon resin contg. at least 25% structural unit of formula II (wherein  $R$  is H, lower alkyl;  $Z$  is halogen, lower alkyl;  $P$  is 0-3) and 0.5-30% modified ethylene copolymer compsn. consisting of 80-40% modified ethylene/ $\alpha$ -olefin copolymer (a) obtd-by grafting 0.005-5.0% maleic anhydride onto a low-pressure linear low-density ethylene/ $\alpha$ -olefin copolymer having an MI of 0.5-50 and 20-60% (maleic anhydride-grafted) ethylenically unsaturated group-contg. ester copolymer are blended together.

COPYRIGHT: (C)1987,JPO&Japio

## ⑫ 公開特許公報(A)

昭62-31450

⑪ Int. Cl.<sup>4</sup>  
G 06 F 11/28  
15/74

識別記号

庁内整理番号

7343-5B  
F-7230-5B

⑬ 公開 昭和62年(1987)2月10日

審査請求 未請求 発明の数 2 (全7頁)

⑭ 発明の名称 トラップデータ収集制御方式

⑮ 特 願 昭60-170743

⑯ 出 願 昭60(1985)8月2日

⑰ 発 明 者 増 田 徹 川崎市中原区上小田中1015番地 富士通株式会社内  
⑱ 発 明 者 菊 谷 佳 子 川崎市中原区上小田中1015番地 富士通株式会社内  
⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地  
⑳ 代 理 人 弁 理 士 森 田 寛 外1名

## 明 細 書

## 1. 発明の名称

トラップデータ収集制御方式

## 2. 特許請求の範囲

(1) 予め指定した記憶領域を計算機システムがアクセスした場合にデータ収集処理を起動するトラップデータ収集制御方式において、

現にアクセスを行うアドレス中の所定ビット位置が前もって指定したアドレス値及びビット位置と一致するか否かを検出するアドレス一致検出手段(5)を備え、

該アドレス一致検出手段(5)によって得られた結果に基づいてデータ収集処理を起動する

ことを特徴とするトラップデータ収集制御方式。

(2) 予め指定した記憶領域を計算機システムがアクセスした場合にデータ収集処理を起動するトラップデータ収集制御方式において、

現にアクセスを行うアドレス中の所定ビット位置が前もって指定したアドレス値及びビット位置

と一致したことを検出するアドレス一致検出手段(5)と、

該アドレス一致検出手段(5)によって現にアクセスを行うアドレスが前記前もって指定したアドレス値及びビット位置と一致したことが検出された場合に当該アドレスによって指定されるデータ中の所定ビット位置の内容が前もって指定した値と一致するか否かを検出するデータ一致検出手段(10)とを備え、

該データ一致検出手段(10)によって得られた結果に基づいてデータ収集処理を起動する

ことを特徴とするトラップデータ収集制御方式。

## 3. 発明の詳細な説明

## 〔概要〕

トラップデータ収集制御方式において、現にアクセスを行うアドレス中の所定ビット位置が、予め定めた値に一致するか否かをチェックする検出手段をそなえ、これにもとづいてデータ収集処理を行うように構成し、アドレスおよび/または読

出されたデータのビット値を指定してデータ収集を行い得るようにするものである。

(産業上の利用分野)

本発明は、トラップデータ収集制御方式、特にアドレスおよび/または読出されたデータ中の所定のビットの値を指定してデータ収集を行うようにしたトラップデータ収集制御方式に関するものである。

(従来の技術)

計算機システムを用いて処理を行う際に、何等かの原因によってメモリに格納されたデータが非所望に書き替えられてしまうことがあった。この場合には、非所望に書き替えられた後に、いかなる原因によって当該書き替えが行われたかを判別することが困難である。このために、従来から、アドレス一致を検出してデータ収集を行うアドレス一致検出方式が知られている。例えば1語(1ワード)からなる所定アドレス値のデータをセッ

トしておき、この指定されたアドレスに格納されている1語(1ワード)からなるデータが読出された場合、又はこのアドレスに書込まれた場合を検出してデータ収集プログラム等に制御を渡し、当該時点で所定のデータ収集処理を行わせることが行われていた。又、上記書込まれるデータ内容が予め指定されたデータパターンと一致した場合のみ所定のデータ収集処理を行わせることも行われていた。

(発明が解決しようとする問題点)

上記従来の場合には、アドレス一致の場合もデータ一致の場合も、1語単位で指定を行っている。このため、特定のビット(1又は複数)からなるフィールド(A)に所望の有意なデータが格納されている場合のみを抽出するに当たっては、第5図図示の如く当該フィールド以外のフィールド例えばBの内容が異なる数多くの語を用意してこれら該当する語が現れるときにトラップ割込みを起動する必要がある、条件指定が煩雑になるという

問題点があった。又、現実的にはこれら上記数多くの語を用意できず、トラップが行えぬという場合もあった。

(問題点を解決するための手段)

本発明は、上記問題点を解決するものであり、第1図は本発明の原理ブロック図を示す。図において、1は処理装置CPU、2はメモリ、3はトラップアドレスレジスタTAR、4はメモリアドレスレジスタMAR、5、10は照合回路M、7はメモリデータレジスタMDR、8はフィールドサブフィールドレジスタFSR、9はトラップデータレジスタTDR、21はサブフィールド開始位置レジスタdsR、22はサブフィールド長レジスタdlR、13はトラップサブフィールド開始位置レジスタTdsR、14はトラップサブフィールド長レジスタTdlRである。又15は、メモリデータレジスタ7よりサブフィールド開始位置(ds)、サブフィールド長(dl)にて指定されるサブフィールドを抜き出し、フィールド

サブフィールドレジスタ8に設定するサブフィールド開始位置(ds)及び、サブフィールド長(dl)の制御回路SLCである。

第1図図示のメモリアドレスレジスタ4に、現にアクセスするアドレスが与えられる。メモリ2の当該アドレスからデータが読出されてメモリデータレジスタ7にセットされる。当該メモリデータレジスタ7の内容はフィールドサブフィールドレジスタ8に転記される。

上記の処理が行われるに先立って、トラップアドレスレジスタ3上に夫々トラップ・アドレス(そのアドレスの全ビットがトラップ対象の場合とそのアドレス中の任意の所定のビットがトラップ対象の場合とがある)がセットされている。ビット位置情報は、トラップサブフィールド開始位置レジスタ13、トラップサブフィールド長レジスタ14にセットされている。また同様にトラップデータレジスタ9上にトラップ・データ(データの全ビットの場合とデータ中の任意の所定のビットの場合とがある)がセットされている。

そして、上記メモリ2をアクセスする処理が進行してゆく間に、メモリアドレスレジスタ4上のアドレスの値及び、サブフィールド開始位置レジスタ21、サブフィールド長レジスタ22にセットされた値とトラップアドレスレジスタ3、トラップサブフィールド開始位置レジスタ13、トラップサブフィールド長レジスタ14、照合回路5によって照合される。そして一致がとられたとき、データ収集処理が起動される。

または、照合回路5において一致がとられた条件の下で、フィールドサブフィールドレジスタ8上のデータの値（一般には任意所定のビットの値）とトラップデータレジスタ9上の該当するビットの値とが照合回路10によって照合されて一致がとられたとき、データ収集処理が起動される。

尚、サブフィールド開始位置レジスタ（dsR）21及びサブフィールド長レジスタ（dlR）22は命令のオペランドで与えられデコードされた時点で、即ちメモリアクセス時点等で設定される。又、メモリアドレスレジスタ4、メモリデ

ータレジスタ7は、通例演算回路（ARU）に接続されている。

又、トラップアドレスレジスタ3、トラップサブフィールド開始位置レジスタ13、トラップサブフィールド長レジスタ14はサポートシステム等のコンソールなどにより設定される。

#### 〔作用〕

本発明によれば、データの書込み時あるいは読出し時トラップアドレスの所定ビット（1又は複数）の一致をもって、データの収集を行うので、トラップ対象とするアドレスが複数箇所あるいは領域にあっても、アドレスの共通する部分をds、dlで指定することにより、少ないトラップ指定で、データ収集を確実に行える。この技術は、アドレストラップのみならず、データトラップに対しても同様である。

#### 〔実施例〕

以下図面を参照しつつ本発明の実施例を詳細に

説明する。

第2図は本発明の1実施例構成図、第3図ないし第4図は第2図図示本発明の1実施例構成の動作を説明する動作説明図を示す。

図中、第1図と同一符号は同じ対象物を示し、6は割込み原因表示回路IS、11はコントローラ、12は演算回路及びレジスタARU&REGである。

第2図において、図中CPU1は計算機システムの処理装置を構成するものであり、メモリ2に記憶されているデータをアクセス等して所定の処理を実行するものである。図中トラップアドレスレジスタ3は前述したトラップ・アドレスを予め格納しておくためのもの、トラップサブフィールド開始位置レジスタ13、トラップサブフィールド長レジスタ14はトラップ対象のビット位置を予め格納しておくためのものである。図中メモリアドレスレジスタ4には処理の進行に応じてメモリ2に供給するアドレスが順次セットされる。又、サブフィールド開始位置レジスタ21、サブフィ

ールド長レジスタ22には、処理の対象となるビット位置情報が順次セットされる。図中照合回路5および10はトラップサブフィールド開始位置レジスタ13、トラップサブフィールド長レジスタ14で定められるトラップアドレスレジスタ3の内容とメモリアドレスレジスタ4、サブフィールド開始位置レジスタ21、サブフィールド長レジスタ22の内容とが一致しているか否か、およびdl、dsの制御回路SLC15により、抽出されたフィールドサブフィールドレジスタ8の内容とトラップデータレジスタ9の内容とが一致しているか否かを判別し、その結果を割込み原因表示回路6に通知するものである。この際、メモリデータレジスタ7にはメモリ2から読出されたデータあるいは書込むためのデータ等がセットされており、当該データの所定のビットの内容が制御回路15により抽出されフィールドサブフィールドレジスタ8に転記されている。また、図中コントローラ11はメモリアドレスレジスタ4、割込み原因表示回路6およびメモリデータレジスタ7

を制御するためのものである。又、コントローラ11は、その他トラップアドレスレジスタ3、演算回路及びレジスタ12等の制御も行う。図中ARU&REG12は各種論理処理ユニットおよびレジスタから構成されているものである。

以上の如き構成をもつことによって、メモリアドレスレジスタ4の内容及びサブフィールド開始位置レジスタ21、サブフィールド長レジスタ22で指定される任意所定のビット位置とトラップアドレスレジスタ3及びトラップサブフィールド開始位置レジスタ13、トラップサブフィールド長レジスタ14で指定されるビットの値とが一致したとき、割込み原因表示回路6が発動されて、データ収集処理が起動される。または、照合回路5が一致を出力した条件の下で、フィールドサブフィールドレジスタ8の値とトラップデータレジスタ9の値とが一致したとき、割込み原因表示回路6が発動されて、データ収集処理が起動される。

以下、第3図および第4図を参照しつつ、アドレス一致でかつデータ一致の場合についての動作

を説明する。

第3図は、実行中のプログラム内に“S, A, R”命令、即ちレジスタRに格納されている内容をアドレスAによって指定されるメモリ2内の所定位置にストアする命令が記述されていた場合に、本発明に係わるトラップデータ収集を実行するための動作手順を示す。この際、前もって第2図図中トラップアドレスレジスタ3、トラップサブフィールド開始位置レジスタ13、トラップサブフィールド長レジスタ14およびトラップデータレジスタ9にはトラップすべきアドレスビット位置およびデータ値例えば本例ではアドレス“A”ビット位置ds d lおよびデータ“1111”を格納しておく。

図中“S, A, R”命令が実行された直後に当該“S, A, R”命令中に含まれるアドレスが“A”であるため、いわば強制的に割込みが発生し、処理①および②の処理が実行されることとなる。

処理①は当該“S, A, R”命令に含まれるメモリアドレスレジスタ4に格納されたアドレス“

A”が前もってトラップアドレスレジスタ3に格納しておいた値“A”と等しいことが照合回路5によって検出され、第3図を用いて詳述する如く“(A) ds d l : 1111”が一致するか否かの判断を実行する段階にあることを示す。これは、前もってトラップデータレジスタ9に格納しておいた値“1111”とフィールドサブフィールドレジスタ8に格納された値とが一致するか否かが照合回路10によって判別され、両者が一致した場合には割込み原因表示回路6に通知されることによって割込みを生じ、処理②を実行する。一致しない場合には所望のトラップデータを収集すべき値でないので処理②のデータ収集を行わない。

処理②はデータ収集を行う処理を示し、割込みにより起動され所定のデータ収集処理を行う。具体的には現在実行しているプログラム名、アドレス、データ等の収集を行う。

以上説明した如く前もってトラップアドレスレジスタ3に格納したアドレス“A”にストアする命令が実行された直後に、本発明に係わる処理が

割込みの形で実行され、当該ストアすべきデータの内所定のビットの内容が前もってトラップデータレジスタ9に格納した値と一致した場合に、トラップデータ収集が実行されるため、従来の如く1語単位に指定することなく、所望の有意なビット単位で指定することができるため、極めて効率良好に所望のトラップデータ収集制御を行うことができる。

第4図は所望のビット単位でトラップデータ収集を行うための指定の仕方を示す。

第4図(イ)図中1語は例えば16ビットから構成され、所望のビットを指定するには、第1にビット位置を指定するLSBからのビット数“ds”と、第2にビット幅を指定するビット幅数“dl”とによって表される。

第4図(ロ)図中ビット幅数“dl”に記述された値“1111”は第3図図中状態①内の“(A) ds d l : 1111”中の“1111”に対応している。該値“1111”は第2図中トラップデータレジスタ9に格納される。上記ds, dl値

はトラップサブフィールド開始位置レジスタ13、トラップサブフィールド長レジスタ14に夫々格納されている。そして、第4図(イ)図示斜線で示す位置のデータがメモリデータレジスタ7から抽出されてフィールドサブフィールドレジスタ8に格納されているので、照合回路10は比較基準となる前記値“1111”とストアすべきデータ中から所望のビットについて抽出した値とが一致するか否かを判別する。この結果が一致する場合には第3図を用いて説明した如く割込み原因表示回路6に通知することにより割込み処理④でデータ収集を行い、一致しない場合にはデータ収集を行うことなく次のステップから実行する。

以上の如く1語中の任意のビット位置かつ任意のビット幅を指定することができるので、所望の有意な情報が格納されるフィールドのみ抽出して、トラップデータ収集を行う対象とすることにより、効率良好にトラップデータ収集制御を行うことができる。

なお、アドレス一致の条件の下でデータ収集を

起動する場合には、メモリアドレスレジスタ4の内容及びこのときの実行される命令の指定ビット位置が予め格納したトラップサブフィールド開始位置レジスタ13、トラップサブフィールド長レジスタ14により指定されるビット位置に等しくなったときデータ収集が起動される形となる。

#### (発明の効果)

以上説明した如く、本発明によれば、計算機システムを構成するメモリ内の所定記憶領域をアクセスする際に、現にアクセスしようとするアドレスの内の所定の部分的なビットのものを抽出し、または、当該所定アドレスに対して書込むあるいは読出すデータの内の所定の部分的なビットのものを抽出し、該抽出したビットと基準となる値とを比較してデータ収集を行うか否かを決定する構成を採用しているため、効率良好に所望のデータ収集を行うことができる。特に1語中の所定ビット幅からなるフィールド中に有意なデータが格納されている場合には、当該有意なデータが格納さ

れているフィールドのみに着目した形でデータ収集を行うことが可能となり、当該データ収集に伴う処理時間を短縮することが可能になると共に、不必要なデータ収集を行うことを避けることが可能となる。

#### 4. 図面の簡単な説明

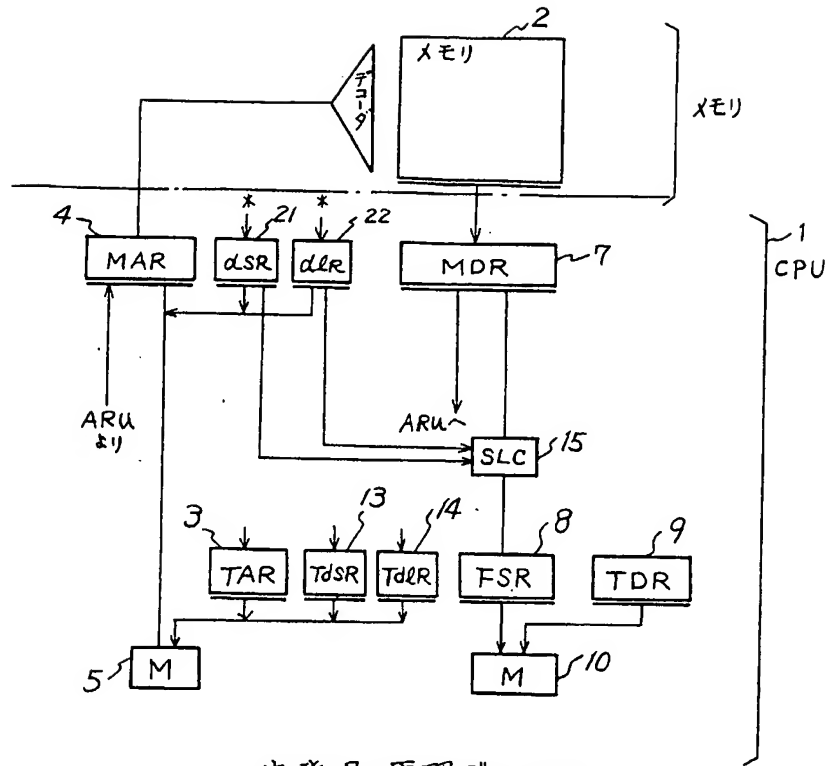
第1図は本発明の原理ブロック図、第2図は本発明の1実施例構成図、第3図ないし第4図は第2図図示本発明の1実施例構成の動作を説明する動作説明図、第5図は従来のトラップデータ収集制御方式の動作を説明する説明図を示す。

図中、1はCPU、2はメモリ、3はトラップアドレスレジスタ、4はメモリアドレスレジスタ、5、10は照合回路、6は割込み原因表示回路、7はメモリデータレジスタ、8はフィールドサブフィールドレジスタ、9はトラップデータレジスタ、11はコントローラ、12は演算回路及びレジスタ、13はトラップサブフィールド開始位置レジスタ、14はトラップサブフィールド長レジ

スタ、15はメモリデータレジスタ7よりサブフィールド開始位置(d s)、サブフィールド長(d l)にて指定されるサブフィールドを抜き出し、フィールドサブフィールドレジスタ8に設定するサブフィールド開始位置(d s)及び、サブフィールド長(d l)の制御回路SLC、21はサブフィールド開始位置レジスタ、22はサブフィールド長レジスタである。

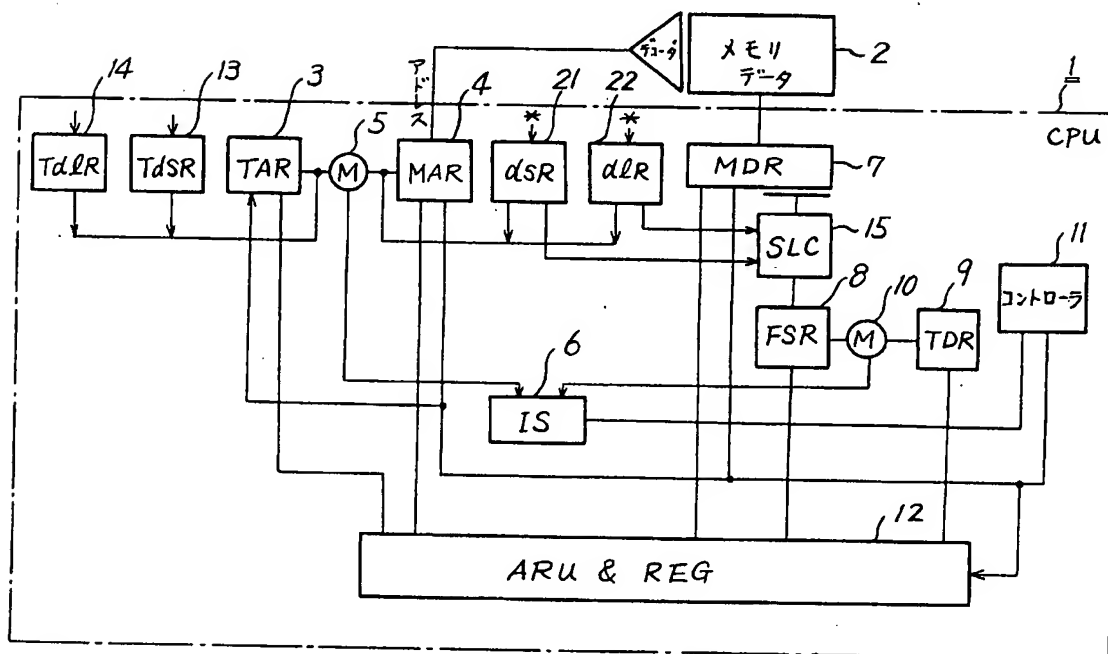
特許出願人 富士通株式会社

代理人弁理士 森田 寛(外1名)



### 本発明の原理ブロック図

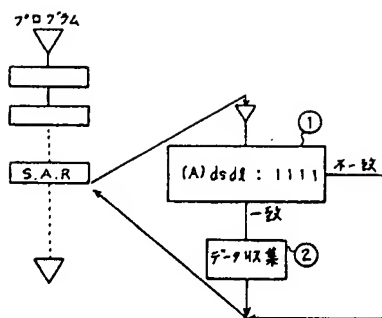
第 1 圖



## 本発明の一実施例構成

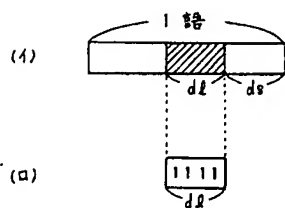
第 2 回





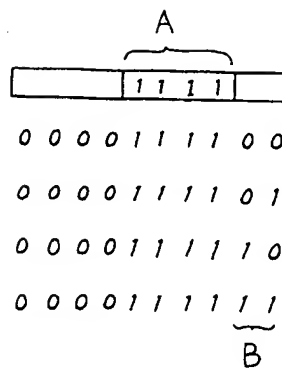
SAR 命令時の動作例

第 3 図



一語中の任意所定のビットを指定する例

第 4 図



問題点を説明するための図

第 5 図